

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031264
 (43)Date of publication of application : 28.01.2000

(51)Int.CI.

H01L 21/76
 H01L 21/762
 H01L 27/04
 H01L 21/822
 H01L 27/108
 H01L 21/8242

(21)Application number : 10-193037

(22)Date of filing : 08.07.1998

(71)Applicant : MITSUBISHI ELECTRIC CORP

(72)Inventor : UENO SHUICHI

INOUE YASUAKI

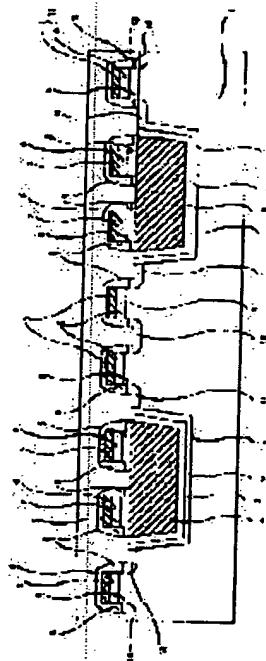
SHIRAHATA MASAYOSHI

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the leakage current by forming a polysilicon film on a semiconductor substrate in a trench, forming a CVD silicon oxide film on the polysilicon film while filling a trench and then forming an element in an active region on the semiconductor substrate surrounded by the trench.

SOLUTION: A trench 2 is made in the major surface of a semiconductor substrate and then a silicon oxide film 9 and a polysilicon film 3 are formed on the surface of the semiconductor substrate 1 in the trench 2. A CVD silicon oxide film 4 is then formed on the surface of the polysilicon film 3 while filling the trench 2, a gate insulation film 5 of 3-15 nm is formed on the surface of the semiconductor substrate 1 in the active region and a gate electrode 13 comprising a polysilicon layer 6 of 50-150 nm and a metal silicide layer 7 of 50-150 nm is formed thereon. According to the structure, insulation is enhanced, the elements can be patterned finely and the leakage current can be suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31264

(P2000-31264A)

(43)公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl. ⁷	識別記号	F I	マークド(参考)
H 01 L 21/76		H 01 L 21/76	L 5 F 0 3 2
21/762			D 5 F 0 3 8
27/04		27/04	C 5 F 0 8 3
21/822		27/10	6 2 1 Z
27/108			6 8 1 D

審査請求 未請求 請求項の数19 O.L (全 18 頁) 最終頁に続く

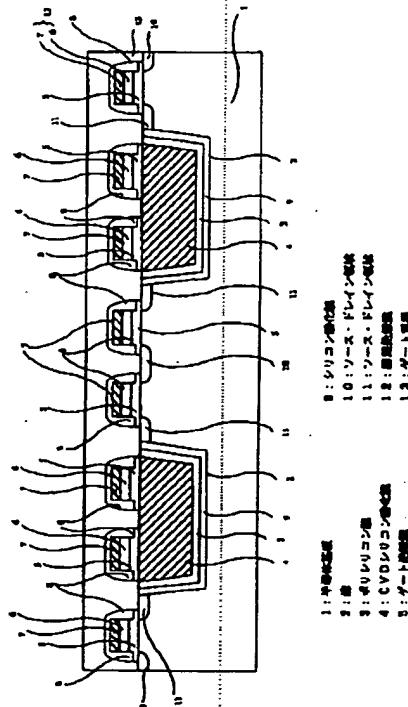
(21)出願番号	特願平10-193037	(71)出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年7月8日(1998.7.8)	(72)発明者 上野 修一 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者 井上 靖朗 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人 100102439 弁理士 宮田 金雄 (外2名)
		最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 絶縁性が高く、微細化に適し、さらにリーキ電流を抑制することのできるトレンチ分離を備えた半導体装置およびその製造方法を提供する。

【解決手段】 トレンチ分離が形成される溝2の内部で、半導体基板1とCVDシリコン酸化膜4との間に、密度の小さいポリシリコーン膜3を形成し、その結晶構造を変化させることによって、熱処理の際に半導体基板1とCVDシリコン酸化膜4の間に発生するメカニカルストレスを吸収させる。



(2)

2

【特許請求の範囲】

【請求項 1】 主表面に溝を有する半導体基板と、前記溝内の前記半導体基板の表面上に形成されたポリシリコン膜と、前記ポリシリコン膜の表面上に前記溝内を埋め込んで形成されたCVDシリコン酸化膜と、前記半導体基板の主表面の前記溝に囲まれた活性領域に形成された素子とを備えた半導体装置。

【請求項 2】 活性領域との間に溝を介してさらに異なる活性領域が配設され、ポリシリコン膜は前記活性領域および前記異なる活性領域のそれぞれを取り囲み、互いに独立していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 ポリシリコン膜とCVDシリコン酸化膜との間に第1の熱酸化膜を備えたことを特徴とする請求項 1 または請求項 2 のいずれか一項に記載の半導体装置。

【請求項 4】 ポリシリコン膜とCVDシリコン酸化膜との間にシリコン窒化膜を備えたことを特徴とする請求項 1 または請求項 2 のいずれか一項に記載の半導体装置。

【請求項 5】 ポリシリコン膜の表面に凹凸を有することを特徴とする請求項 1 または請求項 2 のいずれか一項に記載の半導体装置。

【請求項 6】 半導体基板の主表面に形成された素子が、前記半導体基板の主表面に形成されたソース・ドレインに領域と、前記半導体基板の主表面上にゲート絶縁膜を介して形成されたゲート電極からなることを特徴とする請求項 1 ないし請求項 5 のいずれか一項に記載の半導体装置。

【請求項 7】 ポリシリコン膜端部とゲート絶縁膜の間に形成されたシリコン酸化膜を備えたことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 半導体基板表面上を覆い、開口を有する層間絶縁膜をさらに備え、前記開口を通って前記ソース・ドレイン領域のいずれか一方に接続するキャバシタを備えたことを特徴とする請求項 6 または請求項 7 のいずれか一項に記載の半導体装置。

【請求項 9】 半導体基板とポリシリコン膜の間に形成された第2の熱酸化膜を備えたことを特徴とする請求項 6 ないし請求項 8 のいずれか一項に記載の半導体装置。

【請求項 10】 半導体基板の活性領域の主表面上にマスクをかけて前記半導体基板主表面をエッチングし、活性領域を取り囲む溝を形成する工程と、前記溝の表面上を覆うポリシリコン膜を形成する工程と、前記溝内を埋め込んで、全面にCVDシリコン酸化膜を堆積する工程と、熱処理を加える工程と、

前記CVDシリコン酸化膜表面を平坦化する工程と、前記マスクを除去する工程と、前記半導体基板の活性領域の主表面上に素子を形成する工程とを備えた半導体装置の製造方法。

【請求項 11】 ポリシリコン膜を形成する工程の後に、溝底部の半導体基板表面上に形成された前記ポリシリコン膜をエッティングする工程を備えたことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 ポリシリコン膜を形成する工程の後に、前記ポリシリコン膜の表面に熱酸化膜を形成する工程を備えたことを特徴とする請求項 10 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 13】 ポリシリコン膜を形成する工程の後に、前記ポリシリコン膜の表面にシリコン窒化膜を形成する工程を備えたことを特徴とする請求項 10 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 14】 ポリシリコン膜の表面に凹凸を有することを特徴とする請求項 10 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 15】 ポリシリコン膜を形成する工程の後に、前記ポリシリコン膜の表面をエッティングして凹凸を形成する工程を備えたことを特徴とする請求項 10 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 16】 ポリシリコン膜を形成する工程は、アモルファシリコン膜を形成する工程と真空中で熱処理を加える工程からなることを特徴とする請求項 10 または請求項 1 1 のいずれか一項に記載の半導体装置の製造方法。

【請求項 17】 半導体基板の主表面上に熱酸化によってゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面上にゲート電極を形成する工程と、前記半導体基板の主表面上にソース・ドレイン領域を形成する工程とを備えたことを特徴とする請求項 1 0 ないし請求項 1 6 のいずれか一項に記載の半導体装置の製造方法。

【請求項 18】 ゲート電極の側表面上にサイドウォールを形成する工程と、全面に層間絶縁膜を形成する工程と、前記層間絶縁膜の表面から、ソース・ドレイン領域のいずれか一方に到達する開口を形成する工程と、前記開口を通って前記ソース・ドレイン領域のいずれか一方に接続するキャバシタを形成する工程をさらに備えたことを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 19】 溝を形成する工程の後で、ポリシリコン膜を形成する工程の前に、前記溝内部の半導体基板表面に熱酸化膜を形成する工程を備えたことを特徴とする

(3)

3

請求項17または請求項18のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関するものであり、特に半導体装置の分離構造に関するものである。

【0002】

【従来の技術】半導体素子間の絶縁分離を行う方法の一つにトレンチ分離がある。これは、半導体基板の表面に形成した溝の内部にポリシリコン膜やシリコン酸化膜などが形成されたものであり、他の絶縁分離に比べて所要面積と寄生容量が非常に小さく、半導体装置の高集積化および高速化に適した構造である。図29はトレンチ分離が形成された従来のMOS型半導体装置の断面図である。図において101は半導体基板、102は溝、104は埋め込み膜、105はゲート絶縁膜、106はポリシリコン層、107は金属シリサイド層、108はサイドウォール、109はシリコン酸化膜、1010および1011はソース・ドレイン領域、1012は層間絶縁膜、1013はゲート電極である。ゲート電極1013はポリシリコン層106および金属シリサイド層107からなり、分離領域は溝102、シリコン酸化膜109および埋め込み膜104からなるトレンチ分離で形成されている。

【0003】トレンチ分離内をポリシリコン膜で埋め込んだ後にその表面を熱酸化した構造が特開平4-209551号公報や特開平2-114654号公報などに開示されているが、図29からわかるように、MOS型半導体装置においては、ゲート電極1013がトレンチ分離上を通って複数のトランジスタで共用されているため、埋め込み膜104は絶縁性の高いシリコン酸化膜で形成しなければならない。図30は従来の半導体装置のトレンチ分離を示す断面図であり、図において110はバーズピークである。シリコン酸化膜には、熱酸化で形成されたシリコン酸化膜（以下、熱酸化膜）やCVD法（Chemical Vapor Deposition）で形成されたシリコン酸化膜（以下CVDシリコン酸化膜）などがある。しかし、熱酸化膜は半導体基板101表面に溝102を形成した後、長時間熱処理をかけて形成するため、図30に示すようにバーズピーク110が大きくなってしまう。これに対して、CVDシリコン酸化膜は、バーズピークが抑制されており、素子の微細化に適したものである。CVDシリコン酸化膜を用いてトレンチ分離を形成した半導体装置は、特開昭59-135743号公報や特開昭63-266878号公報などに開示されている。

【0004】ここで、CVDシリコン酸化膜を用いたトレンチ分離を有する半導体装置の製造方法を説明する。図31～図34は従来の半導体装置の製造方法の一工程を示す断面図であり、図34は従来の半導体装置のトレ

ンチ分離を示す断面図である。図31において、102はシリコン窒化膜、1091はシリコン酸化膜である。まず、半導体基板101上にシリコン酸化膜1091およびシリコン窒化膜1021を形成し、フォトレジストマスク（図示せず）を用いて溝102形成領域を開口するようにシリコン窒化膜1021をバーニングする。図31は、この工程が終わった段階での半導体装置の素子の断面図である。

【0005】次に、シリコン窒化膜1021をマスクとしてシリコン酸化膜1091および半導体基板1をエッチングし、溝102を形成した後、溝102の内壁を熱酸化してシリコン酸化膜109を形成する。図32は、この工程が終わった段階での半導体装置の素子の断面図である。図33において、1041はCVDシリコン酸化膜である。図を参照して、CVDシリコン酸化膜1041によって、溝102を埋め込んでから、酸素雰囲気で、1000°C、1時間程度の熱処理を行う。図33は、この工程が終わった段階での半導体装置の素子の断面図である。次に、CMP（Chemical Mechanical Polishing）などによる平坦化を行ってから、シリコン窒化膜1041およびシリコン酸化膜1091を除去し、トレンチ分離が完成する。CVDシリコン酸化膜は密度が低いため埋め込んだだけでは膜質が悪く、特に溝102の中央部は膜質が悪いため、フッ酸などでシリコン酸化膜1091やその他のシリコン酸化膜を除去する際にエッチングされ、図34に示したように落ち込みが生じてしまうため、CVDシリコン酸化膜1041を堆積した後に熱処理をかけることによって耐酸化膜エッチング性を向上させて、落ち込みの発生を防いでいる。

【0006】この後、ゲート絶縁膜105、ゲート電極1013、ソース・ドレイン領域1010、1011、サイドウォール108を順次形成することによって、図29に示した半導体装置が形成される。CVDシリコン酸化膜は、このような方法で形成されるため、埋め込み膜を熱酸化膜で形成した場合と比べてバーズピークが抑制され、素子の微細化に適したものである。

【0007】

【発明が解決しようとする課題】しかしながら、従来の半導体装置においては、CVDシリコン酸化膜形成後にCVDシリコン酸化膜の膜質向上のための熱処理をかけたり、素子を形成する工程で熱処理をかけたりすると、CVDシリコン酸化膜と半導体基板の熱膨張係数の違いから、溝内部のCVDシリコン酸化膜の体積が変化して半導体基板と埋め込み膜の間にメカニカルストレス（応力）を生じ、溝周辺の半導体基板に欠陥が誘発されるという問題点があった。これは、酸素雰囲気中で熱処理をかけるとCVDシリコン酸化膜が膨張し、特に顕著に現れる。図35は従来の半導体装置の素子を示す断面図であり、nMOSの場合に、欠陥によってリーク電流が流れる様子を示している。図において、120は欠

(4)

5

陥、130は電子、140はホールである。この半導体装置においては、CVDシリコン酸化膜堆積後に加えた熱処理によって、溝周辺の半導体基板中に欠陥120が形成されている。欠陥は信頼性を低下させるとともに、電子130・ホール140対を発生し、電子130およびホール140が図中の矢印方向に移動することによって、ソース・ドレイン領域にリーク電流が流れるため、誤動作を起こしたり、消費電力を増大させるという問題を引き起す。また、DRAM(Dynamic Random Access Memory)のメモリセルにおいては、キャバシタに蓄積された電荷によって情報を蓄積し、一定時間毎にリフレッシュ(読み出し/書き込み)を行なっているが、欠陥によりリーク電流が流れると、キャバシタに蓄積された情報が余分に失われるため、リフレッシュ特性が劣化する。

【0008】本発明は、上記した点に鑑みて考え出されたもので、絶縁性が高く、素子の微細化に適し、さらにリーク電流を抑制することのできるトレンチ分離を備えた半導体装置およびその製造方法を得ることを目的とするものである。

【0009】

【課題を解決するための手段】この発明に係る半導体装置は、主表面上に溝を有する半導体基板と、溝内の半導体基板の表面上に形成されたポリシリコン膜と、ポリシリコン膜の表面上に溝内を埋め込んで形成されたCVDシリコン酸化膜と、半導体基板の主表面の溝に囲まれた活性領域に形成された素子とを備えたものである。

【0010】さらに、活性領域との間に溝を介してさらに異なる活性領域が配設され、ポリシリコン膜は活性領域および異なる活性領域のそれそれを取り囲み、互いに独立していることを特徴とするものである。

【0011】また、ポリシリコン膜とCVDシリコン酸化膜との間に第1の熱酸化膜を備えたことを特徴とするものである。

【0012】また、ポリシリコン膜とCVDシリコン酸化膜との間にシリコン窒化膜を備えたことを特徴とするものである。

【0013】また、ポリシリコン膜の表面に凹凸を有することを特徴とするものである。

【0014】さらに、半導体基板の主表面上に形成された素子が、半導体基板の主表面上に形成されたソース・ドレインに領域と、半導体基板の主表面上にゲート絶縁膜を介して形成されたゲート電極からなることを特徴とするものである。

【0015】加えて、ポリシリコン膜端部とゲート絶縁膜の間に形成されたシリコン酸化膜を備えたことを特徴とするものである。

【0016】さらに、半導体基板表面上を覆い、開口を有する層間絶縁膜をさらに備え、開口を通じてソース・ドレイン領域のいずれか一方に接続するキャバシタを備

6

えたことを特徴とするものである。

【0017】加えて、半導体基板とポリシリコン膜の間に形成された第2の熱酸化膜を備えたことを特徴とするものである。

【0018】また、半導体基板の活性領域の主表面上にマスクをかけて半導体基板主表面をエッチングし、活性領域を取り囲む溝を形成する工程と、溝の表面上を覆うポリシリコン膜を形成する工程と、溝内を埋め込んで、全面にCVDシリコン酸化膜を堆積する工程と、熱処理を加える工程と、CVDシリコン酸化膜表面を平坦化する工程と、マスクを除去する工程と、半導体基板の活性領域の主表面上に素子を形成する工程とを備えたものである。

【0019】さらに、ポリシリコン膜を形成する工程の後に、溝底部の半導体基板表面上に形成されたポリシリコン膜をエッチングする工程を備えたことを特徴とするものである。

【0020】加えて、ポリシリコン膜を形成する工程の後に、ポリシリコン膜の表面に熱酸化膜を形成する工程を備えたことを特徴とするものである。

【0021】また、ポリシリコン膜を形成する工程の後に、ポリシリコン膜の表面にシリコン窒化膜を形成する工程を備えたことを特徴とするものである。

【0022】また、ポリシリコン膜の表面に凹凸を有することを特徴とするものである。

【0023】また、ポリシリコン膜を形成する工程の後に、ポリシリコン膜の表面をエッチングして凹凸を形成する工程を備えたことを特徴とするものである。

【0024】また、ポリシリコン膜を形成する工程は、アモルファスシリコン膜を形成する工程と真空中で熱処理を加える工程からなることを特徴とするものである。

【0025】さらに、半導体基板の主表面上に熱酸化によってゲート絶縁膜を形成する工程と、ゲート絶縁膜の表面上にゲート電極を形成する工程と、半導体基板の主表面上にソース・ドレイン領域を形成する工程とを備えたことを特徴とするものである。

【0026】加えて、ゲート電極の側表面上にサイドウォールを形成する工程と、全面に層間絶縁膜を形成する工程と、層間絶縁膜の表面から、ソース・ドレイン領域のいずれか一方に到達する開口を形成する工程と、開口を通じてソース・ドレイン領域のいずれか一方に接続するキャバシタを形成する工程をさらに備えたことを特徴とするものである。

【0027】さらに、溝を形成する工程の後で、ポリシリコン膜を形成する工程の前に、溝内部の半導体基板表面に熱酸化膜を形成する工程を備えたことを特徴とするものである。

【0028】

【発明の実施の形態】実施の形態1. 図1はこの発明の実施の形態1を示す半導体装置の断面図である。図にお

(5)

7

いて、1は半導体基板、2は溝、3はポリシリコン膜、4はCVDシリコン酸化膜、5はゲート絶縁膜、6はポリシリコン層、7は金属シリサイド層、8はサイドウォール、9はシリコン酸化膜、10および11はソース・ドレイン領域、12は層間絶縁膜、13はゲート電極である。ゲート電極13は、ポリシリコン層6とタンクステンシリサイドなどの金属シリサイド層7からなっており、溝2、ポリシリコン膜3、CVDシリコン酸化膜4およびシリコン酸化膜9からトレンチ分離が形成されている。また、層間絶縁膜12には複数のコンタクトホールが形成されており、それぞれのコンタクトホールを介して、ソース・ドレイン領域10、11およびゲート電極13にそれぞれの配線が接続されている(図示せず)。図2はこの発明の実施の形態1を示す半導体装置の上面図であり、図において201は活性領域、202は分離領域である。図1で示した半導体装置のサイドウォール8および層間絶縁12が形成されていない状態が、図2に示した半導体装置のA-A'断面における断面図である。分離領域202は溝2、溝2内部の半導体基板1表面全体を覆うシリコン酸化膜9、およびシリコン酸化膜9表面上に溝2を埋め込むように形成されたCVDシリコン酸化膜4からなるトレンチ分離が形成された部分であり、ゲート電極13は、図2からわかるように、分離領域202上を通って、複数の活性領域で共用されている。この実施の形態においては、一つの活性領域に二つのトランジスタが形成された半導体装置を用いて説明を行っているが、特にこれに限られるものではない。

【0029】図1を参照して、例えばゲート長L=200~300nmの時、溝2の幅は600~900nm、溝2の深さは200~500nm程度である。ただし、溝2の幅は場所によって異なり、最小幅(図2のB-B'断面での溝2の幅など)は200~300nm程度である。そして、5~30nm程度のシリコン酸化膜9および20~50nm程度のポリシリコン膜3が溝2内部の半導体基板表面を覆って形成され、溝2の内部はCVDシリコン酸化膜4によって埋め込まれている。活性領域の半導体基板1表面には3~15nm程度の膜厚のゲート絶縁膜5が形成され、その上に50~150nm程度のポリシリコン層6と、50~150nm程度の膜厚の金属シリサイド層7からなるゲート電極13が形成されている。半導体基板1に溝2を形成する工程などによって、半導体基板1に欠陥が形成されてしまうが、この欠陥が素子特性に及ぼす影響が十分に小さい場合には、シリコン酸化膜9はなくてもかまわない。また、溝2が形成されている半導体基板1の表面に、半導体基板と同一導電型の不純物層が形成されている場合も(図示せず)、シリコン酸化膜9はなくてもかまわない。

【0030】ポリシリコン層6は $1 \times 10^{21}/\text{cm}^3$ 程度のリンやヒ素(n型)、またはボロンやフッ化ボロン

(p型)などの不純物を含む。また、ソース・ドレイン領域は、リンやヒ素、またはボロンやフッ化ボロンなどの不純物を含むが、その濃度は必要に応じて異なり、高濃度の場合は $1 \times 10^{20}/\text{cm}^3$ 以上であり、低濃度の場合は $1 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{19}/\text{cm}^3$ 程度である。また、LDD構造の場合はソース・ドレイン領域10および11がさらにゲート下方向に延び(図示せず)、ゲート下方向に延びた部分の不純物濃度が $1 \times 10^{18}/\text{cm}^3$ 程度であり、図示された部分は $1 \times 10^{20}/\text{cm}^3$ 以上の不純物濃度である。ポリシリコン膜3の膜厚は、溝2の幅の $1/10 \sim 1/3$ 程度で、ポリシリコンよりも誘電率が小さく、同程度の密度を有する物質ならば代用することが可能である。ゲート電極13、ソース・ドレイン領域10、11および半導体基板1(ウェル)に電圧をかけることによって、ゲート電極13下の半導体基板1表面にチャネルが形成され、ソース・ドレイン領域10、11の一方がソース、他方がドレインとなり、電流が流れる。印加する電圧は、例えばnMOSトランジスタの場合、 $V_G = 2.5\text{V}$ 、 $V_D = 2.5\text{V}$ 、 $V_S = 0\text{V}$ 、 $V_B = 0\text{V}$ 程度である。

【0031】この半導体装置によれば、半導体基板1とCVDシリコン酸化膜4との間に、ポリシリコン膜3が形成されているため、ポリシリコンの粒界で膜の構造を変形させることによって、熱処理の際に半導体基板1とCVDシリコン酸化膜4の間に発生するメカニカルストレスを吸収する応力緩和膜となり応力を緩和することができる。よって、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0032】図3はこの発明の実施の形態1を示す半導体装置の別の断面図である。図において、14はポリシリコン酸化膜である。この図に示した半導体装置は、ポリシリコン膜3とゲート絶縁膜5との間にポリシリコン酸化膜14が形成されている以外は、図1に示した半導体装置と同様の構造である。ゲート電極13はトレンチ分離上を通り延び、複数のトランジスタで共用されているので、図1に示した半導体装置では、ゲート電極13やソース・ドレイン領域10および11に高電圧をかけた際などに、トレンチ分離上で隣接するゲート電極の一方から他方へと、ポリシリコン膜3を伝って、リーク電流が流れ、本来電圧が印加されるべきでないゲート電極に電圧がかかることが起こりうることがあるが、ポリシリコン酸化膜14によって、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、誤動作を防ぎ、半導体特性がより一層向上する。

【0033】図4はこの発明の実施の形態1を示す半導

(6)

9

体装置のさらに別の断面図である。図において、31はポリシリコン膜である。ポリシリコン膜31が形成されている以外は、図1に示した半導体装置と同様の構造であり、ポリシリコン膜31は、溝の側壁にのみ形成されている。図1に示した半導体装置では、ゲート電極13やソース・ドレイン領域10および11に高電圧をかけた際などに、トレンチ分離を介して隣接する活性領域間で、ポリシリコン膜を伝ってリーク電流が流れうることがあるが、この半導体装置によれば、活性領域毎にポリシリコン膜31が独立しているので、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れもなく、CVDシリコン酸化膜4と半導体基板1との応力を緩和することができるという効果を奏する。この時、ポリシリコン膜31は各活性領域間で分離されれば、底面に一部形成されてもかまわない。図5はこの発明の実施の形態1を示す半導体装置のさらに別の断面図である。これは、DRAMのメモリセル部の一例であり、図において、15はキャバシタ、16はコンタクトホール、121は層間絶縁膜、151はストレージノード、152はキャバシタ絶縁膜、153はセルプレートであり、層間絶縁膜12および121に形成されたコンタクトホール16を通って、ストレージノード151、キャバシタ絶縁膜152およびセルプレート153からなるキャバシタ15が、ソース・ドレイン領域11と、ピット線となる配線に接続して形成されている(図示せず)。DRAMのメモリセルにおいては、リーク電流が抑制されると、データの損失が抑えられリフレッシュ特性が向上するという効果を奏する。

【0034】図6～図13は、この発明の実施の形態1を示す半導体装置の製造方法の一工程を示す断面図である。図6において、21はシリコン窒化膜、91はシリコン酸化膜である。まず、半導体基板1上に熱酸化によってシリコン酸化膜91を10～30nm程度形成した後、シリコン窒化膜21を50～250nm程度形成する。図6は、この工程が終わった段階での半導体装置の素子の断面図である。次に、溝2の形成領域を除く部分に形成したフォトレジストマスク(図示せず)によって異方性エッチングを行い、シリコン窒化膜21をバーニングしてからフォトレジストマスクを除去する。図7は、この工程が終わった段階での半導体装置の素子の断面図である。

【0035】そして、残ったシリコン窒化膜21をマスクにして、シリコン酸化膜91および半導体基板1を異方性エッチングし、半導体基板の表面に深さ200～500nm、幅600～900nm程度の溝2を形成する。ただし、溝の幅は場所によって異なり、例えば図2のB-B'断面など是最小幅で200～300nm程度である。図8は、この工程が終わった段階での半導体装置の素子の断面図である。図9において、32はポリシリコン膜である。図を参照して、溝2内部の半導体基板

10

1を熱酸化して5～30nm程度のシリコン酸化膜9を形成し、溝2形成の際の半導体基板1表面に生じた欠陥を回復させた後、CVD法により600℃～800℃でポリシリコン膜32を20～50nm程度の膜厚で形成する。図9は、この工程が終わった段階での半導体装置の素子の断面図である。図10において、41はCVDシリコン酸化膜である。図を参照して、CVD法によってCVDシリコン酸化膜41を500～1000nm程度堆積し、酸素雰囲気中で1000℃、1時間程度の熱処理を加える。この熱処理によってCVD酸化膜41の膜質が向上する。図10は、この工程が終わった段階での半導体装置の素子の断面図である。その後、CMPによってシリコン窒化膜21が露出するまで平坦化し、シリコン窒化膜21を除去する。図11は、この工程が終わった段階での半導体装置の素子の断面図である。そして、CVDシリコン酸化膜41の上部、ポリシリコン膜32の上部およびシリコン酸化膜91を除去してトレンチ分離を形成する。図12は、この工程が終わった段階での半導体装置の素子の断面図である。

【0036】そして、3～15nm程度のゲート絶縁膜5を形成してから、n型の場合はリンやヒ素、p型の場合はボロンやフッ化ボロンなどの不純物を $1 \times 10^{21}/\text{cm}^3$ 程度含み、50～150nm程度の膜厚を有するポリシリコン層6をCVD法によって堆積し、タングステンシリサイドなどの金属シリサイド層7をCVD法またはスパッタ法によって形成した後、バーニングすることによってゲート電極13を形成する。次に、nMOSならばリンやヒ素、pMOSならばボロンやフッ化ボロンなどをイオン注入して、不純物濃度が $1 \times 10^{21}/\text{cm}^3$ 以上のソース・ドレイン領域10および11を形成し、100～150nm程度シリコン酸化膜を堆積・エッチバックしてサイドウォール8を形成する。ソース・ドレイン領域10および11をLDD構造とする場合は、サイドウォール8を形成する前に $1 \times 10^{18}/\text{cm}^3$ 程度の不純物濃度の不純物層を形成し、サイドウォール8を形成した後にイオン注入によって形成される $1 \times 10^{21}/\text{cm}^3$ 以上の不純物濃度の不純物層と合わせてソース・ドレイン領域とする(図示せず)。その後、層間絶縁膜12および配線層などを順次形成することによって、図1に示した半導体装置が形成される。

【0037】この半導体装置の製造方法によれば、半導体基板1とCVDシリコン酸化膜4との間に、ポリシリコン膜3を形成するため、ポリシリコンの粒界で膜の構造を変形させることによって、熱処理の際に半導体基板1とCVDシリコン酸化膜4の間に発生するメカニカルストレスを吸収する応力緩和膜を持つ半導体装置を得ることができる。そして、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上し、欠陥を介して流れるリーク電流の

(7)

11

抑制によって、誤動作が抑制され、低消費電力化された半導体装置を得ることができる。また、ゲート絶縁膜5を熱酸化膜によって形成すると、図3に示したように、ポリシリコン膜3の表面にポリシリコン酸化膜14を形成することができ、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、ポリシリコン膜3とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上した半導体装置が得られる。

【0038】また、図13に示すように、ポリシリコン膜32を形成した後に異方性または等方性エッチングを行って、溝2底部のポリシリコン膜を取り除き、側壁にポリシリコン膜31を形成すると、図4に示した半導体装置が形成される。この半導体装置の製造方法によれば、溝2内部の側壁に、活性領域毎にポリシリコン膜31を独立して形成することができるため、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる懼れもなく、半導体基板1とCVDシリコン酸化膜4の間にかかる応力が緩和された半導体装置が得られる。さらに、層間絶縁膜12を形成した後、ソース・ドレン領域11に接続するコンタクトホールを介してキャバシタ15を形成すると、図5に示したように、リフレッシュ特性が向上したDRAMのメモリセルを得ることができる。

【0039】実施の形態2、図14は本発明の実施の形態2に係る半導体装置を説明するための半導体装置の断面図であり、ゲート電極13が形成された段階でのゲート幅方向に沿った断面図である。実施の形態1に係る半導体装置の製造方法によれば、図11に示した工程が終了した後、残ったCVDシリコン酸化膜41の上部、ポリシリコン膜32の上部およびシリコン酸化膜91を除去する際、CVDシリコン酸化膜とポリシリコン膜のエッチングレートの違いから、ポリシリコン膜3の部分が半導体基板1およびCVDシリコン酸化膜4よりも突出し、図14に示したように、トレンチ分離の表面端部に凹凸を生じることがある。このような凹凸は、例えば、段差によってその上部に形成される配線層の断線を起こしたり、凹部に残渣がたまって素子の信頼性が低下する。また、半導体基板1の活性領域端部に凸部を形成するため、逆ナローチャネル効果によるしきい値の低下などの誤動作を引き起こしてしまう。実施の形態2に係る半導体装置およびその製造方法においては、特にこの点に注目したものである。

【0040】図15はこの発明の実施の形態2を示す半導体装置の断面図である。図15において、33はポリシリコン酸化膜であり、これ以外の構造については、図1に示した半導体装置と同様である。図を参照して、ポリシリコン酸化膜33はポリシリコン膜3を酸化して形成されており、ポリシリコン膜3が残っている方が望ましいが、ポリシリコン膜3が全部酸化されてポリシリコ

(7)

12

ン酸化膜33になってしまった場合は、少なくともその密度が、半導体基板1側の方で溝2内部のCVDシリコン酸化膜4側よりも低い状態である必要がある。この半導体装置によれば、実施の形態1と同様に、半導体基板とCVDシリコン酸化膜との間に形成されたポリシリコン膜がメカニカルストレスを吸収する効果に加えて、CVDシリコン酸化膜4とポリシリコン膜3との間に形成されたポリシリコン酸化膜33によって、ポリシリコン膜3の上面部分での凹凸が確実に抑制されるため、逆ナローチャネル効果によるしきい値の低下などが抑えられて半導体装置が誤動作せず、また断線も防いで信頼性が向上する。

【0041】図16はこの発明の実施の形態2を示す半導体装置の別の断面図である。この半導体装置は、ポリシリコン膜33とゲート絶縁膜5との間に全面にポリシリコン酸化膜14が形成されている以外は、図15に示した半導体装置と同じ構造である。この半導体装置によれば、実施の形態1と同様に、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、ポリシリコン膜3とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上する。

【0042】図17はこの発明の実施の形態2を示す半導体装置の別の断面図である。図において、34はポリシリコン酸化膜である。図を参照して、溝2内部の側壁には、ポリシリコン膜31およびポリシリコン酸化膜34が形成されており、ポリシリコン酸化膜34が形成されている以外は、図3に示した半導体装置と同じ構造である。この半導体装置によれば、実施の形態1と同様に、隣接する活性領域間で、ポリシリコン膜を伝ってリーク電流が流れる懼れがなく、半導体基板1とCVDシリコン酸化膜4の間のメカニカルストレスも緩和でき、また、落ち込みを確実に防止して半導体装置の誤動作を抑える効果もある。また、実施の形態1と同様に、DRAMメモリセルに適用し、キャバシタ15を形成すると、リフレッシュ特性が向上する。

【0043】図18および図19は、この発明の実施の形態2を示す半導体装置の製造方法の一工程を示す断面図である。まず、実施の形態1と同様に、半導体基板1の表面に溝2を形成した後、溝2の内部に熱酸化によってシリコン酸化膜9を形成し、CVD法によってポリシリコン膜32を形成する。シリコン酸化膜9は実施の形態1と同様に、形成されない場合もある。次に、RTO (Rapid Thermal Oxidation)によって、800~900°C、1.5~6.0秒でポリシリコン膜32の表面を酸化し、ポリシリコン酸化膜33を形成する。図18は、この工程が終わった段階での半導体装置の素子の断面図である。そして、CVDシリコン酸化膜41の形成以降の工程を実施の形態1と同様に行うと、図15に示した半導体装置が形成される。

(8)

13

【0044】この半導体装置の製造方法によれば、実施の形態1と同様に、半導体基板とCVDシリコン酸化膜との間にポリシリコン膜を形成してメカニカルストレスを吸収する半導体装置を得ることができる。さらに、CVDシリコン酸化膜4とポリシリコン膜3との間に、ポリシリコン酸化膜33を形成しているため、トレンチ分離形成的最終段階でCVDシリコン酸化膜41の上部、ポリシリコン膜32の上部およびシリコン酸化膜91を除去する際、ポリシリコン膜3の上面部分に凹凸が形成されるのを確実に抑制する。よって、逆ナローチャネル効果によるしきい値の低下などが抑えられ誤動作せず、断線も抑制して信頼性が向上した半導体装置を得ることができる。また、ゲート絶縁膜5を熱酸化によって形成すると、図16に示したように、ポリシリコン膜3の表面にポリシリコン酸化膜14を形成でき、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、ポリシリコン膜3とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上した半導体装置が得られる。

【0045】また、実施の形態1と同様に、ポリシリコン膜32形成後、異方性または等方性エッチングを行って、ポリシリコン膜31を形成してから、RTOによって熱酸化すると、溝2底部のポリシリコン膜が取り除かれて、ポリシリコン膜31およびポリシリコン酸化膜34が溝2の側壁に形成される。図19は、この工程が終わった段階での半導体装置の素子の断面図である。そして、CVDシリコン酸化膜41の形成以降の工程を実施の形態1と同様に行うと、図17に示した半導体装置が形成される。この半導体装置の製造方法によれば、活性領域毎にポリシリコン膜31を独立して形成できるため、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れもなく、半導体基板1とCVDシリコン酸化膜4との間にかかる応力が緩和された半導体装置が得られる。さらに、実施の形態1と同様にDRAMメモリセルに適用し、キャバシタ15を形成すると、リフレッシュ特性が向上させることができる。

【0046】実施の形態3、図20はこの発明の実施の形態3を示す半導体装置の断面図である。図において、35はポリシリコン窒化膜であり、ポリシリコン膜3とともに溝2内部の半導体基板1上を覆っている。それ以外の構造は図1に示した半導体装置と同様である。この半導体装置によれば、実施の形態1と同様に、半導体基板とCVDシリコン酸化膜4との間に形成されたポリシリコン膜3がメカニカルストレスを吸収する効果に加えて、CVDシリコン酸化膜4とポリシリコン膜3との間に形成されたポリシリコン窒化膜35と、CVDシリコン酸化膜4の応力が逆向きに働くため、CVDシリコン酸化膜4と半導体基板1の間にかかる応力をさらに緩和することができる。それによって、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶

縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0047】図21はこの発明の実施の形態3を示す半導体装置の別の断面図であり、ポリシリコン酸化膜14がポリシリコン膜3とゲート絶縁膜5との間に全面に形成されている以外は、図20示した半導体装置と同様の構造である。この半導体装置においては、実施の形態1と同様に、ポリシリコン膜3の表面にポリシリコン酸化膜14が形成され、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、高電圧をかけた際などにもポリシリコン膜3とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上する。図22はこの発明の実施の形態3を示す半導体装置の別の断面図であり、図においては36はポリシリコン窒化膜である。溝2の側壁のみに形成されたポリシリコン膜31を覆ってポリシリコン窒化膜36が形成されている以外は、図4に示した半導体装置と同様の構造である。この半導体装置においては、活性領域毎にポリシリコン膜31が独立しているので、高電圧をかけた際などにもポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れがなく、半導体基板1とCVDシリコン酸化膜4との間にかかる応力を緩和することができるという効果を奏する。この時、ポリシリコン膜31は各活性領域間で分離されていれば、底面に一部形成されていてもかまわない。さらに、実施の形態1と同様に、ソース・ドレイン領域11に接続してキャバシタが形成されるDRAMメモリセルの場合は、リフレッシュ特性が向上する。

【0048】図23および図24は、この発明の実施の形態3を示す半導体装置の製造方法の一工程を示す断面図である。まず、実施の形態1と同様に、半導体基板1の表面に溝2を形成した後、溝2の内部に熱酸化によってシリコン酸化膜9を形成し、CVD法によってポリシリコン膜32を形成する。シリコン酸化膜9は実施の形態1と同様に、形成されない場合もある。次に、RTN (Rapid Thermal Nitridation) によって、1000～1150°C、5～30秒でポリシリコン膜32の表面を窒化し、ポリシリコン窒化膜35を形成する。図23は、この工程が終わった段階での半導体装置の素子の断面図である。そして、CVDシリコン酸化膜41の形成以降の工程は、実施の形態1と同様に行って図20に示した半導体装置が形成される。

【0049】この半導体装置の製造方法によれば、実施の形態1と同様に、半導体基板とCVDシリコン酸化膜4との間にメカニカルストレスを吸収するポリシリコン膜3を形成した効果に加えて、CVDシリコン酸化膜4とポリシリコン膜3との間にポリシリコン窒化膜35を形成し、このポリシリコン窒化膜35とCVDシリコン

(9)

15

酸化膜4の応力が逆向きに働くため、CVDシリコン酸化膜4と半導体基板1の間にかかる応力をさらに緩和する応力緩和膜を形成することができる。そして、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上し、欠陥を介して流れるリーク電流の抑制によって、誤動作が抑制され、低消費電力化された半導体装置を得ることができる。さらに、ゲート絶縁膜5を熱酸化によって形成すると、図21に示したように、ポリシリコン膜3の表面上にポリシリコン酸化膜14が形成され、実施の形態1と同様に、ポリシリコン膜3とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、高電圧をかけた際などにもポリシリコン膜3とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上する。

【0050】また、実施の形態1と同様に、ポリシリコン膜32形成後、異方性または等方性エッチングを行って、溝2底部のポリシリコン膜を取り除き、ポリシリコン膜31を形成してから、RTNによってポリシリコン膜31の表面にポリシリコン窒化膜36を形成する。図24は、この工程が終わった段階での半導体装置の素子の断面図である。そして、CVDシリコン酸化膜41の形成以降の工程を実施の形態1と同様に行うと、図22に示したように、溝2内部の側壁にのみポリシリコン膜31およびポリシリコン窒化膜36が形成された半導体装置が形成される。この時、ポリシリコン膜31は各活性領域間で分離されていれば、底面に一部形成されていてもかまわない。この半導体装置の製造方法によれば、活性領域毎にポリシリコン膜31を独立して形成できるため、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れもなく、半導体基板1とCVDシリコン酸化膜4の間にかかる応力が緩和された半導体装置が得られる。さらに、層間絶縁膜12を形成した後、ソース・ドレイン領域11に接続するコンタクトホールを介してキャバシタ15を形成すると、リフレッシュ特性が向上したDRAMメモリセルを得ることができる。

【0051】実施の形態4、図25はこの発明の実施の形態4を示す半導体装置の断面図である。図において、37はポリシリコン膜であり、これ以外の構造については、実施の形態1と同様である。図を参照して、ポリシリコン膜37の表面は粗面化されており、幅または直径が5~30nm程度の凹凸を有しているが、この凹凸の形状に関しては、半球状や角を有するなど、どのようになっていてもかまわない。

【0052】この半導体装置によれば、実施の形態1と同様に、半導体基板とCVDシリコン酸化膜4との間に形成されたポリシリコン膜3がメカニカルストレスを吸収する効果に加えて、ポリシリコン膜の表面が粗面化さ

(9)

16

れているため、この粗面化された部分の形状を変化させて、CVDシリコン酸化膜と半導体基板の間にかかる応力をさらに緩和することができる。それによって、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0053】図26はこの発明の実施の形態4を示す半導体装置の別の断面図である。ポリシリコン酸化膜14がポリシリコン膜37とゲート絶縁膜5との間に全面に形成されている以外は図25に示した半導体装置と同じ構造である。この半導体装置によれば、実施の形態1と同様に、ポリシリコン膜37の表面にポリシリコン酸化膜14が形成され、ポリシリコン膜37とその表面上に形成されたゲート電極13との絶縁性を高めることができるために、ポリシリコン膜37とゲート電極13の間でリーク電流を確実に抑えて、半導体特性がより一層向上する。図27はこの発明の実施の形態4を示す半導体装置の別の断面図であり、図において、38はポリシリコン膜である。表面上に凹凸を有するポリシリコン膜が溝2の側面に形成されている以外は、図24に示した半導体装置と同じ構造である。この半導体装置によれば、表面が粗面化されて凹凸を有するポリシリコン膜38を溝2内部の側壁のみに形成し、活性領域毎にポリシリコン膜38が独立しているので、実施の形態1と同様に、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れがなく、半導体基板1とCVDシリコン酸化膜4との間にかかる応力を緩和することができるという効果を奏する。この時、ポリシリコン膜38は各活性領域間で分離されていれば、底面に一部形成されていてもかまわない。また、実施の形態1と同様に、ソース・ドレイン領域11に接続してキャバシタが形成されるDRAMメモリセルの場合は、リフレッシュ特性が向上する。

【0054】図28は、この発明の実施の形態4を示す半導体装置の製造方法の一工程を示す断面図である。図において、39はアモルファスシリコン膜である。まず、実施の形態1と同様に、半導体基板1の表面に溝2を形成した後、溝2の内部に熱酸化によってシリコン酸化膜9を形成する。シリコン酸化膜9は実施の形態1と同様に、形成されない場合もある。次に、アモルファスシリコン膜39を堆積する。図28はこの工程が終わった段階での半導体装置の素子を示す断面図である。その後、真空中で、500°C~600°C、2~10分程度加熱すると、図25に示したポリシリコン膜37のような、表面に凹凸のあるポリシリコン膜が形成される。また、実施の形態1と同様にして溝2および、必要に応じてシリコン酸化膜9を形成した後、550°C~600°C

(10)

17

の温度範囲で、シラン (SiH_4) ガスなどを用いた減圧 CVD 法によってシリコンを堆積しても表面に凹凸を有するポリシリコン膜 3 7 が形成される。さらに別の方 10 法として、実施の形態 1 と同様にして、ポリシリコン膜 3 2 形成を形成した後、リン酸などで、ウェットエッチングを行うことによっても、表面に凹凸を有するポリシリコン膜 3 7 を得ることができる。いずれの場合も、CVD シリコン酸化膜 4 1 の形成以降の工程は、実施の形態 1 と同様である。

【0055】この半導体装置の製造方法によれば、実施の形態 1 と同様に、半導体基板と CVD シリコン酸化膜との間にポリシリコン膜を形成してメカニカルストレスを吸収する効果に加えて、さらにポリシリコン膜の表面を粗面化しているため、CVD シリコン酸化膜と半導体基板の間にかかる応力をさらに緩和する半導体装置を得ることができ。それによって、素子の微細化に適した CVD シリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて、信頼性の向上した半導体装置を得ることができる。そして、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化された半導体装置が得られる。さらに、ゲート絶縁膜 5 を熱酸化によって形成すると、図 2 6 に示したようにポリシリコン膜 3 の表面にポリシリコン酸化膜 1 4 を形成でき、ポリシリコン膜 3 とその表面上に形成されたゲート電極 1 3 との絶縁性を高めることができるため、ポリシリコン膜 3 とゲート電極 1 3 の間でリーク電流を確実に抑えて、半導体特性がより一層向上した半導体装置が得られる。

【0056】また、実施の形態 1 と同様に、ポリシリコン膜 3 7 形成後、異方性または等方性エッチャリングを行つてから、CVD シリコン酸化膜 4 1 の形成以降の工程を実施の形態 1 と同様に行うと、図 2 7 に示したように、溝 2 内部の側壁のみに粗面化されたポリシリコン膜 3 8 が形成された半導体装置が得られる。この時、ポリシリコン膜 3 8 は各活性領域間で分離されていれば、底面に一部形成されていてもかまわない。この半導体装置の製造方法によれば、活性領域毎にポリシリコン膜 3 8 を独立して形成できるため、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れもなく、半導体基板 1 と CVD シリコン酸化膜 4 の間にかかる応力が緩和された半導体装置が得られる。さらに、層間絶縁膜 1 2 を形成した後、ソース・ドレイン領域 1 1 に接続するコンタクトホールを介してキャパシタ 1 5 を形成すると、リフレッシュ特性が向上したDRAM メモリセルを得ることができる。

【0057】

【発明の効果】本発明は、以上説明したように構成されているので、以下のような効果を奏する。本発明は、半導体基板と CVD シリコン酸化膜との間に、ポリシリコ

18

ン膜が形成されているため、ポリシリコンの粒界で膜の構造を変形させることによって、熱処理の際に半導体基板と CVD シリコン酸化膜の間に発生するメカニカルストレスを吸収する応力緩和膜となり応力を緩和することができる。よって、素子の微細化に適した CVD シリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0058】さらに、トレンチ分離を介して隣接する活性領域毎にポリシリコン膜が独立しているので、活性領域間でポリシリコン膜を伝ってリーク電流が流れる恐れもなく、CVD シリコン酸化膜と半導体基板との応力を緩和することができるという効果を奏する。

【0059】加えて、CVD シリコン酸化膜とポリシリコン膜との間に形成されたポリシリコン酸化膜によって、ポリシリコン膜の上面部分での凹凸の形成を抑制しているため、逆ナローチャネル効果によるしきい値の低下などが抑えられて半導体装置が誤動作せず、断線も防いで信頼性が向上する。

【0060】また、半導体基板と CVD シリコン酸化膜との間に形成されたポリシリコン膜の表面にポリシリコン窒化膜が形成され、このポリシリコン窒化膜と溝の内部に埋め込まれた CVD シリコン酸化膜の応力が逆向きに働くため、CVD シリコン酸化膜と半導体基板の間にかかる応力をさらに緩和することができる。それによって、素子の微細化に適した CVD シリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0061】また、半導体基板と CVD シリコン酸化膜との間に形成されたポリシリコン膜の表面が粗面化されているため、その形状を変化させることによって、CVD シリコン酸化膜と半導体基板の間にかかる応力をさらに緩和することができる。それによって、素子の微細化に適した CVD シリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生をより一層抑えることができて信頼性が向上する。さらに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0062】さらに、活性領域に形成された MOS トランジスタのゲート電極がトレンチ分離の上に延びても、トレンチ分離は CVD シリコン酸化膜で埋め込まれているため、絶縁性がよく、リーク電流を抑制することができる。

【0063】さらに、ポリシリコン膜の端部がポリシリ

(11)

19

コン酸化膜となって、ポリシリコン膜とその表面上に形成されたゲート電極との絶縁性を高めるため、ポリシリコン膜とゲート電極の間でリーク電流を確実に抑えて、半導体特性がより一層向上する。

【0064】加えて、層間絶縁膜に形成されたコンタクトホールを通って、ソース・ドレイン領域に接続するキヤバシタが形成されたDRAMメモリセルでも、リーク電流を抑制することによってリフレッシュ特性が向上するという効果を奏する。

【0065】さらに、溝内部の半導体基板表面に熱酸化膜が形成されて、溝形成時に半導体基板表面に生じた欠陥が回復されているので、信頼性が向上するとともに、欠陥を介して流れるリーク電流が抑制されるため、誤動作が抑えられるとともに、低消費電力化を図ることができる。

【0066】この半導体装置の製造方法によれば、半導体基板とCVDシリコン酸化膜との間に、ポリシリコン膜を形成するため、ポリシリコンの粒界で膜の構造を変形させることによって、熱処理の際に半導体基板とCVDシリコン酸化膜の間に発生するメカニカルストレスを吸収する応力緩和膜を持つ半導体装置を得ることができる。そして、素子の微細化に適したCVDシリコン酸化膜で形成されたトレンチ分離の絶縁性が向上するとともに、溝周辺での欠陥の発生を抑えることができて信頼性が向上し、欠陥を介して流れるリーク電流の抑制によって、誤動作が抑制され、低消費電力化された半導体装置を得ることができる。

【0067】さらに、ポリシリコン膜を形成した後にエッチングを行って、溝底部のポリシリコン膜を取り除いているので、活性領域毎にポリシリコン膜を独立して形成することができ、ポリシリコン膜を伝って隣接する活性領域との間にリーク電流が流れる恐れもなく、半導体基板とCVDシリコン酸化膜の間にかかる応力が緩和された半導体装置を得られる。

【0068】さらに、ポリシリコン膜の表面にポリシリコン酸化膜を形成するため、トレンチ分離形成の最終段階でCVDシリコン酸化膜の上部などを除去する際、ポリシリコン膜の上面部分での凹凸の形成を確実に抑制する。よって、逆ナローチャネル効果によるしきい値の低下などが抑えられて誤動作せず、断線も防いで信頼性が向上した半導体装置を得ることができる。

【0069】また、半導体基板とCVDシリコン酸化膜との間に形成されたポリシリコン膜の表面に、ポリシリコン窒化膜を形成することができるため、このポリシリコン窒化膜と溝の内部に埋め込まれたCVDシリコン酸化膜の応力が逆向きに働いて、CVDシリコン酸化膜と半導体基板の間にかかる応力をさらに緩和された半導体装置を得ることができる。

【0070】また、半導体基板とCVDシリコン酸化膜との間に、表面が粗面化されたポリシリコン膜を形成し

20

ているため、その形状を変化させることによって、CVDシリコン酸化膜と半導体基板の間にかかる応力をさらに緩和する半導体装置を得ることができる。

【0071】また、ポリシリコン膜を形成した後にエッチング工程を追加するだけで表面が粗面化されたポリシリコン膜を形成でき、簡単に、CVDシリコン酸化膜と半導体基板の間にかかる応力をさらに緩和することができる。

【0072】また、アモルファスシリコン膜を形成した後に真空中で熱処理し、表面が粗面化されたポリシリコン膜を形成しているので、簡単な工程でCVDシリコン酸化膜と半導体基板の間にかかる応力をさらに緩和する半導体装置を得ることができる。

【0073】さらに活性領域に形成されたMOSトランジスタのゲート電極がトレンチ分離上に延びてきても、簡単な工程で、絶縁性がよく、リーク電流を抑えた半導体装置を形成することができる。

【0074】加えて、層間絶縁膜に形成されたコンタクトホールを通って、ソース・ドレイン領域に接続するキヤバシタを形成しているので、リフレッシュ特性が向上したDRAMメモリセルを得ることができるという効果を奏する。

【0075】加えて、溝を形成した後に熱酸化して熱酸化膜を形成しているので、溝形成時に半導体基板表面に生じた欠陥が回復され、信頼性が向上した半導体装置が形成できるとともに、欠陥を介して流れるリーク電流も抑制されるため、誤動作が抑えられて、低消費電力化された半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置を示す断面図である。

【図2】本発明の実施の形態1に係る半導体装置を示す上面図である。

【図3】本発明の実施の形態1に係る半導体装置を示す断面図である。

【図4】本発明の実施の形態1に係る半導体装置を示す断面図である。

【図5】本発明の実施の形態1に係る半導体装置を示す断面図である。

【図6】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図7】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図8】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図9】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図10】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図11】本発明の実施の形態1に係る半導体装置の

(12)

21

製造方法の一工程を示す断面図である。

【図1 2】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図1 3】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図1 4】 本発明の実施の形態2に係る半導体装置を説明するための半導体装置の断面図である。

【図1 5】 本発明の実施の形態2に係る半導体装置を示す断面図である。

【図1 6】 本発明の実施の形態2に係る半導体装置を示す断面図である。

【図1 7】 本発明の実施の形態2に係る半導体装置を示す断面図である。

【図1 8】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図1 9】 本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す断面図である。

【図2 0】 本発明の実施の形態3に係る半導体装置を示す断面図である。

【図2 1】 本発明の実施の形態3に係る半導体装置を示す断面図である。

【図2 2】 本発明の実施の形態3に係る半導体装置を示す断面図である。

【図2 3】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図2 4】 本発明の実施の形態3に係る半導体装置の製造方法の一工程を示す断面図である。

【図2 5】 本発明の実施の形態4に係る半導体装置を示す断面図である。

【図2 6】 本発明の実施の形態4に係る半導体装置を示す断面図である。

(12)

22

示す断面図である。

【図2 7】 本発明の実施の形態4に係る半導体装置を示す断面図である。

【図2 8】 本発明の実施の形態4に係る半導体装置の製造方法の一工程を示す断面図である。

【図2 9】 従来のMOS型半導体装置を示す断面図である。

【図3 0】 従来のMOS型半導体装置を示す断面図である。

【図3 1】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図3 2】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図3 3】 従来の半導体装置の製造方法の一工程を示す断面図である。

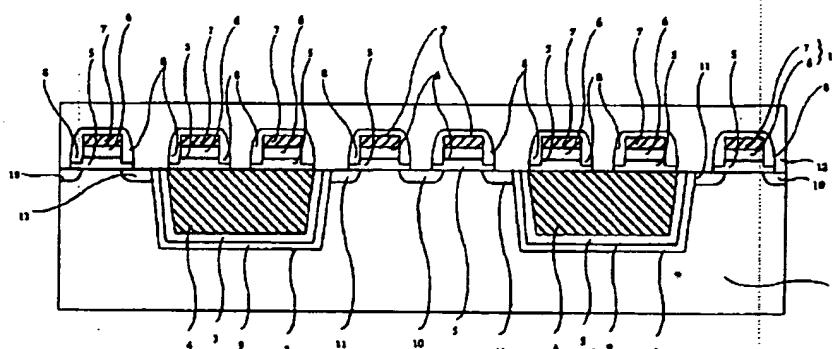
【図3 4】 従来の半導体装置の製造方法の一工程を示す断面図である。

【図3 5】 従来の半導体装置を示す断面図である。

【符号の説明】

- | | | |
|----------------|----------------|---------------|
| 1 半導体基板、 | 2 溝、 | 3 ポリシリコン膜、 |
| 4 CVDシリコン酸化膜、 | 5 ゲート絶縁膜、 | 9 シリコン酸化膜、 |
| 10 ソース・ドレイン領域、 | 11 ソース・ドレイン領域、 | 12 層間絶縁膜、 |
| 13 ゲート電極、 | 14 ポリシリコン酸化膜、 | 15 キャバシタ、 |
| 16 ポリシリコン膜、 | 31 ポリシリコン膜、 | 32 ポリシリコン膜、 |
| 33 ポリシリコン酸化膜、 | 34 ポリシリコン酸化膜、 | 35 ポリシリコン窒化膜、 |
| 36 ポリシリコン窒化膜、 | 37 ポリシリコン膜、 | 38 ポリシリコン膜、 |
| 39 アモルファスシリコ | | ン膜 |

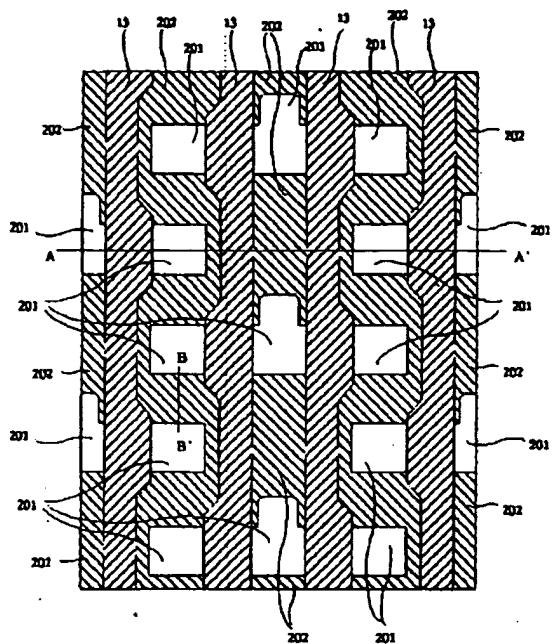
【図1】



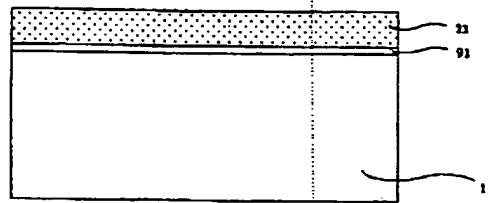
- | | |
|----------------|-----------------|
| 1 : 半導体基板 | 9 : シリコン酸化膜 |
| 2 : 溝 | 10 : ソース・ドレイン領域 |
| 3 : ポリシリコン膜 | 11 : ソース・ドレイン領域 |
| 4 : CVDシリコン酸化膜 | 12 : 層間絶縁膜 |
| 5 : ゲート絶縁膜 | 13 : ゲート電極 |

(13)

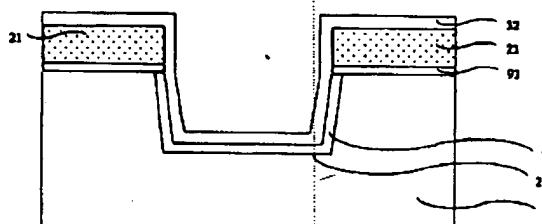
【図2】



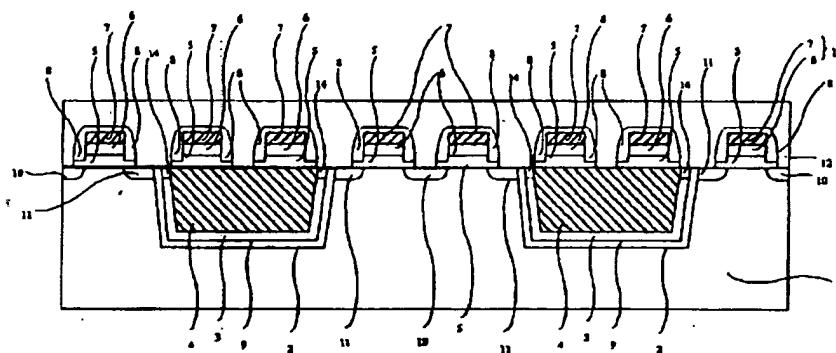
【図6】



【図9】

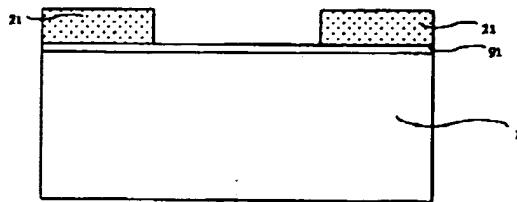


【図3】

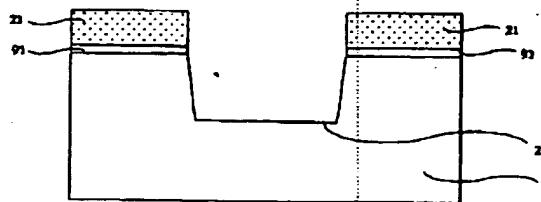


1.4 : ポリシリコン酸化膜

【図7】

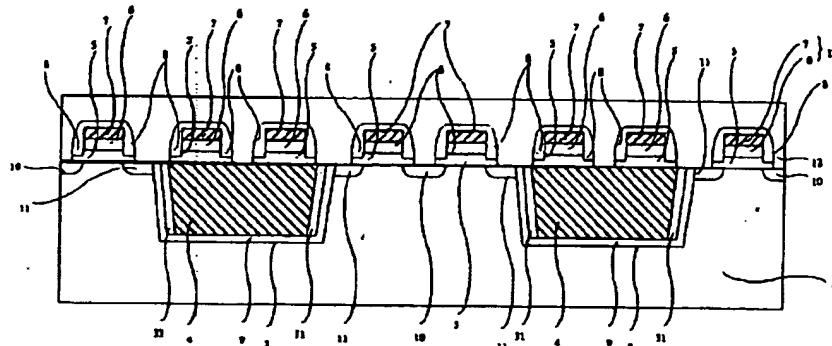


【図8】



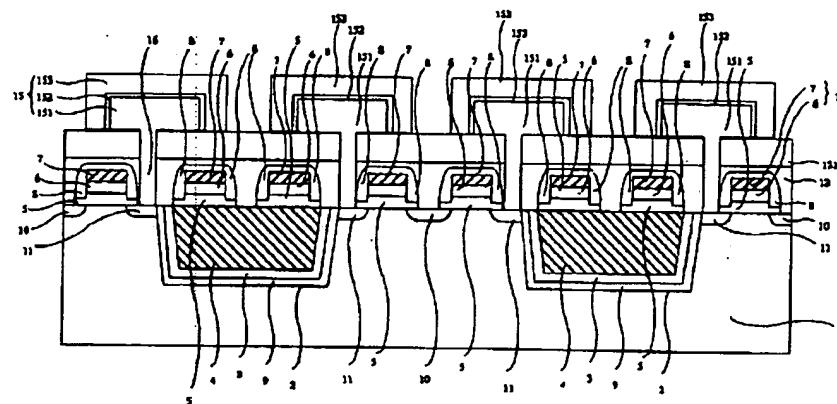
(14)

[4]



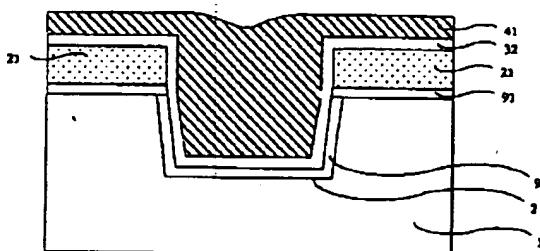
31: パリシリコン酸

【図5】



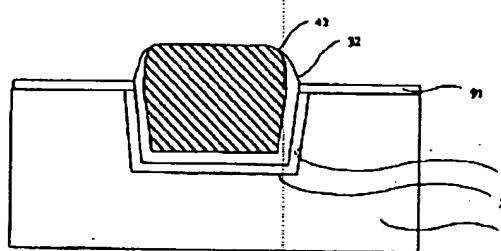
15 : 47839

【 10】

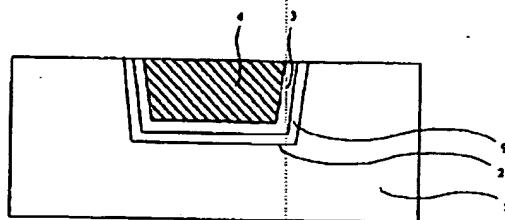


41 : CVDシリコン化膜

[圖 1-1]

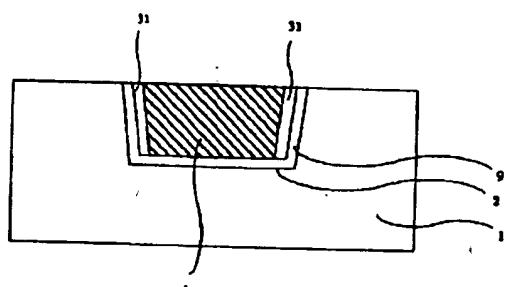


[四 12]

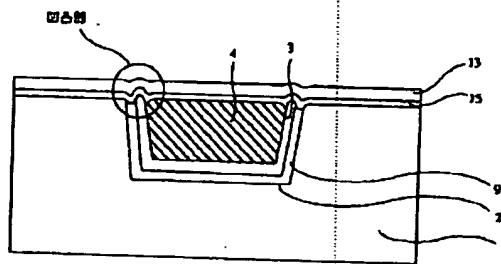


(15)

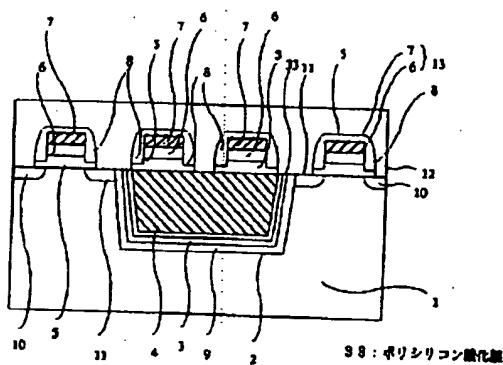
【図13】



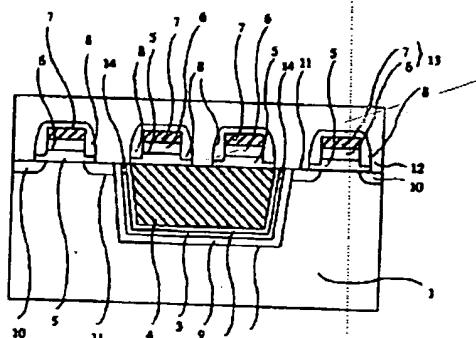
【図14】



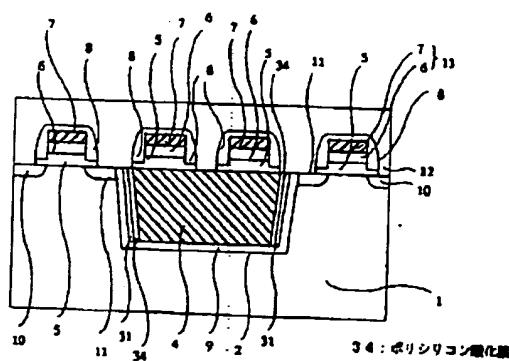
【図15】



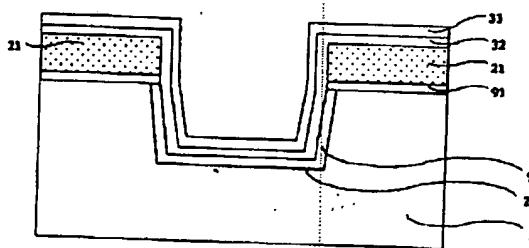
【図16】



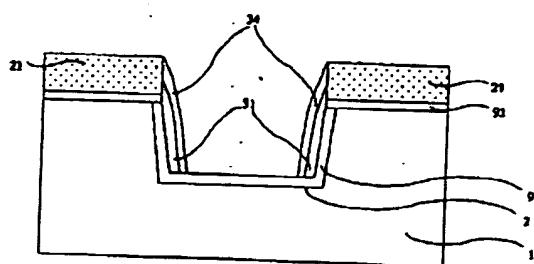
【図17】



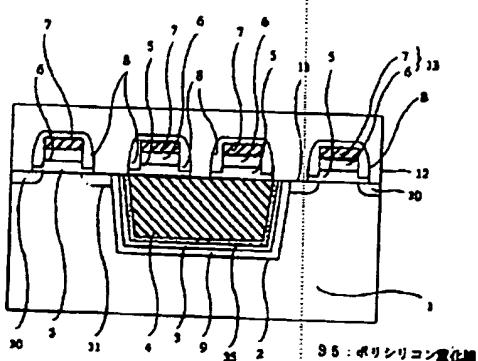
【図18】



【図19】

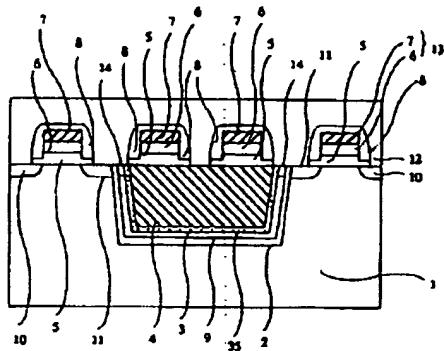


【図20】

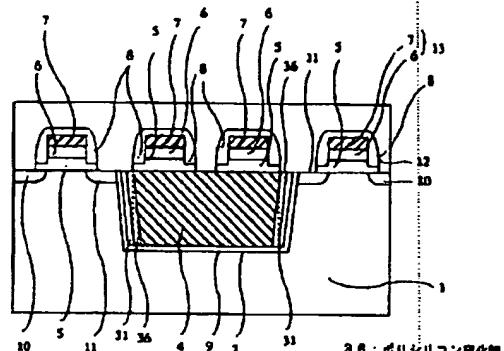


(16)

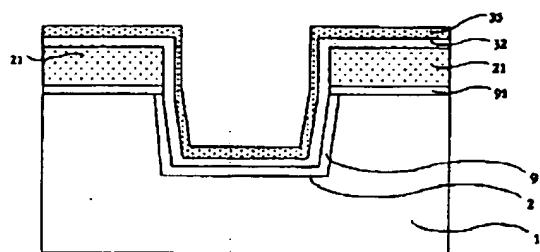
【図21】



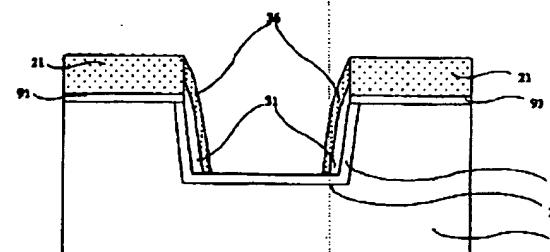
【図22】



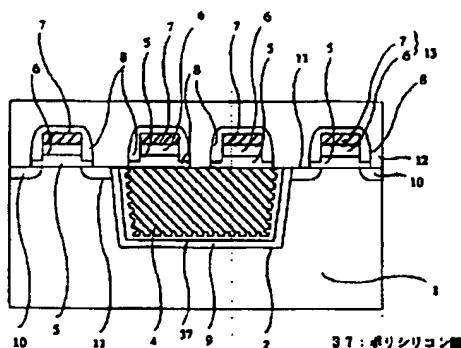
【図23】



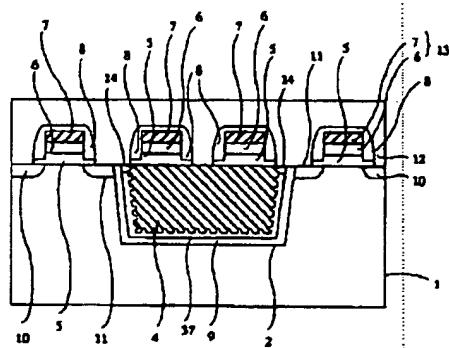
【図24】



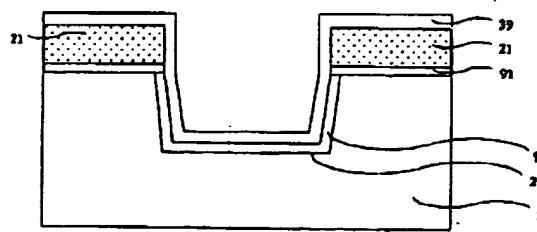
【図25】



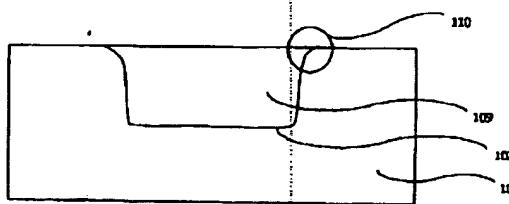
【図26】



【図28】



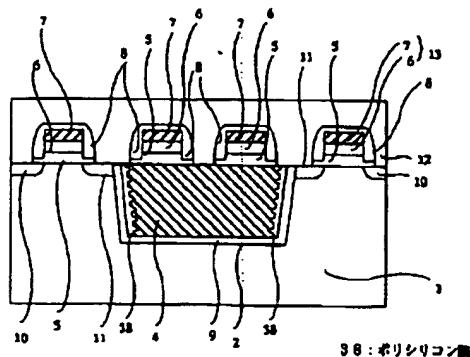
【図30】



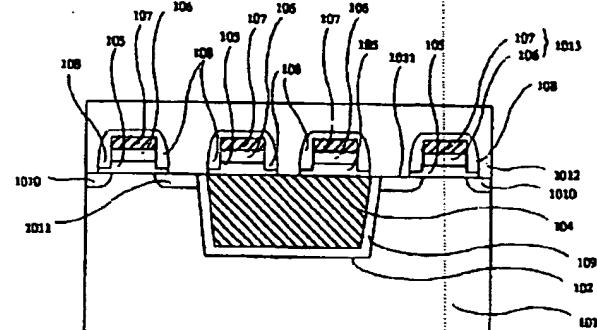
29:アモルファシリコン膜

(17)

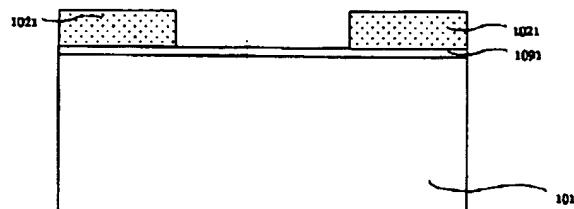
【図27】



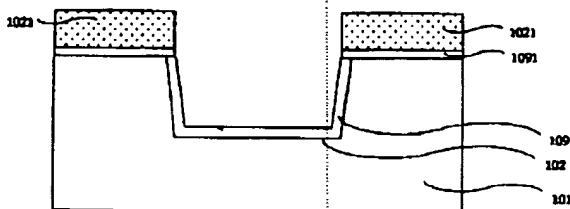
〔 29〕



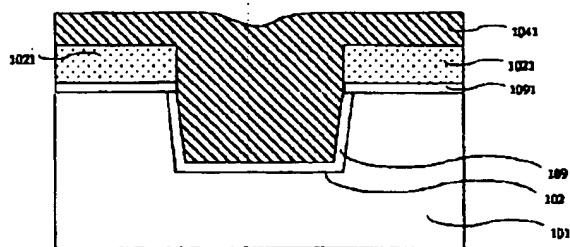
【☒ 31】



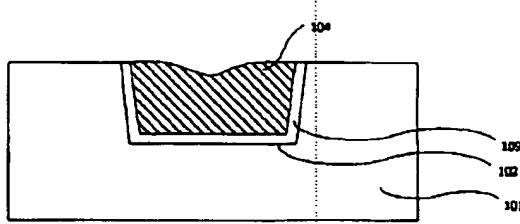
【图32】



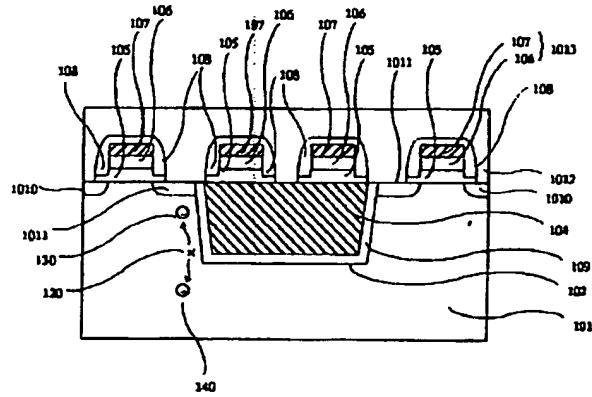
[图33]



[図34]



〔四三五〕



(18)

フロントページの続き

(51)Int.Cl.7 識別記号 F I テ-コ-ト(参考)
H 0 1 L 21/8242

(72)発明者 白畠 正芳
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
F ターム(参考) 5F032 AA35 AA44 AA45 AA47 AA66
BB06 CA14 CA17 DA02 DA22
DA33 DA53 DA74 DA78
5F038 AC09 DF05 EZ15 EZ17
5F083 AD22 GA09 GA21 GA30 JA02
JA35 JA39 JA53 NA01 PR03
PR12 PR21 PR33 PR40